

#5
<Priority Document Translation>



THE KOREAN INDUSTRIAL
PROPERTY OFFICE

This is to certify that annexed hereto is a true
copy from the records of the Korean Industrial Property
Office of the following application as filed.

Application Number : 2000-37007 (Patent)

Date of Application : June 30, 2000

Applicant(s) : HYUNDAI ELECTRONICS INDUSTRIES CO., LTD.

December 14, 2000

COMMISSIONER

HC-0120
11011 U.S. PTO
09/88060
06/25/01



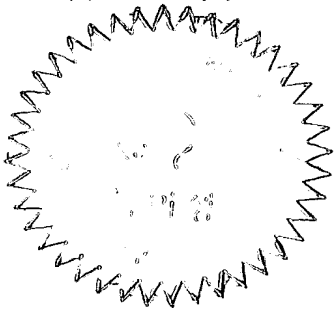
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Industrial Property Office.

출원번호 : 특허출원 2000년 제 37007 호
Application Number

출원년월일 : 2000년 06월 30일
Date of Application

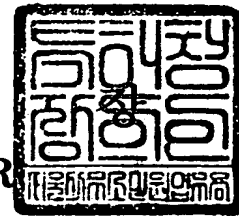
출원인 : 현대전자산업주식회사
Applicant(s)



2000 년 12 월 14 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0037
【제출일자】	2000.06.30
【발명의 명칭】	고유전체 캐패시터의 제조 방법
【발명의 영문명칭】	Method of manufacturing a high dielectric capacitor
【출원인】	
【명칭】	현대전자산업주식회사
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	1999-003525-1
【대리인】	
【성명】	최승민
【대리인코드】	9-1998-000560-9
【포괄위임등록번호】	1999-003325-7
【발명자】	
【성명의 국문표기】	홍권
【성명의 영문표기】	HONG, Kwon
【주민등록번호】	651103-1056812
【우편번호】	463-070
【주소】	경기도 성남시 분당구 야탑동 탑마을 경남 아파트 713-40
【국적】	KR
【발명자】	
【성명의 국문표기】	최형복
【성명의 영문표기】	CHOI, Hyung Bok
【주민등록번호】	711120-1011811
【우편번호】	463-010
【주소】	경기도 성남시 분당구 정자동 한솔마을 청구아파트 105-204
【국적】	KR

【취지】

특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대
리인 신영

무 (인) 대리인

최승민 (인)

【수수료】

【기본출원료】 17 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 0 항 0 원

【합계】 29,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 고유전체 캐패시터의 제조 방법에 관한 것으로, 도전층이 형성된 반도체 기판상에 절연막 및 반사 방지막을 순차적으로 형성하는 단계와, 반사 방지막 및 절연막을 패터닝하여 도전층의 소정 부분이 노출되도록 제 1 콘택홀을 형성한 후 제 1 콘택홀내에 플러그를 형성하는 단계와, 플러그를 소정 두께 제거한 후 잔류된 플러그의 표면부에 금속 실리사이드층을 형성하고 금속 실리사이드층상에 베리어 금속층을 형성하는 단계와, 제 1 콘택홀내의 베리어 금속층을 소정 두께 식각한 후 잔류된 베리어 금속층상에 시드 금속층을 형성하는 단계와, 전체 상부면에 더미 산화막을 형성한 후 제 1 콘택홀내의 시드 금속층이 노출되도록 더미 산화막을 패터닝하여 제 2 콘택홀을 형성하고 제 2 콘택홀내에 하부전극을 형성하는 단계와, 더미 산화막을 제거한 후 전체 상부면에 유전체막 및 상부전극을 순차적으로 형성하는 단계를 포함하여 이루어진다.

【대표도】

도 9

【색인어】

고유전체, 산화, 베리어 금속층, 시드 금속, 오정렬

【명세서】**【발명의 명칭】**

고유전체 캐패시터의 제조 방법 {Method of manufacturing a high dielectric capacitor}

【도면의 간단한 설명】

도 1 내지 도 9는 본 발명에 따른 고유전체 캐패시터의 제조 방법을 설명하기 위한 소자의 단면도.

<도면의 주요 부분에 대한 부호의 설명>

- 1: 반도체 기판 2: 도전층
- 3: 절연막 4: 반사 방지막
- 5: 플러그 6: 금속 실리사이드층
- 7: 베리어 금속층 8: 시드 금속
- 9: 터미 산화막 10: 하부전극
- 11: 유전체막 12: 상부전극

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<9> 본 발명은 고유전체 캐패시터의 제조 방법에 관한 것으로, 특히, 베리어 금속

(Barrier Metal)의 산화로 인한 정전용량(Capacitance)의 감소를 방지할 수 있도록 한 고유전체 캐패시터의 제조 방법에 관한 것이다.

- <10> 일반적으로 디램(DRAM)과 같은 메모리 소자의 메모리 셀(Memory Cell)은 캐패시터와, 캐패시터에 정보를 저장하거나 저장된 정보를 독출하기 위한 트랜지스터로 이루어진다.
- <11> 캐패시터는 반도체 기판에 형성된 트랜지스터의 접합영역에 하부전극이 연결되도록 구성되며, 접합영역과 하부전극간의 접속은 절연막에 형성된 콘택홀(Contact Hole)을 통해 이루어진다.
- <12> 그런데 반도체 메모리 소자가 고집적화됨에 따라 소자의 크기가 감소되기 때문에 미세한 콘택홀을 통한 접합영역과 하부전극간의 접속이 어려워지고, 이에 따라 실제의 공정에서 많은 불량이 야기된다.
- <13> 이러한 불량중에 하나가 콘택홀내에 형성된 플러그(Plug)상에 하부전극을 형성하는 과정에서 사진 공정시 발생하는 오정렬로 인한 불량인데, 이때 플러그상에 형성된 베리어 금속층의 노출이 발생된다. 그리고 노출된 베리어 금속층은 고유전체를 증착하는 과정에서 산소에 노출되어 산화되며, 이에 따라 고유전체의 유전율이 저하되어 캐패시터의 정전용량이 감소된다.
- <14> 그래서 베리어 금속층의 산화가 방지되도록 저온에서 유전체를 증착하거나, 저온에서 열처리하는 기술을 개발하고 있지만, 아직 메모리 셀당 요구되는 충분한 정전용량을 확보하지 못하는 상태이다.
- <15> 이러한 오정렬로 인한 문제점은 소자의 집적도가 증가됨에 따라 더욱 심각하게 발

생되며, 이에 따라 새로운 기술의 개발이 요구된다.

<16> 한편, 오정렬로 인한 불량 발생을 방지하기 위하여 캐패시터를 적층 구조가 아닌 요홈(Concave) 구조로 형성하는 방법이 연구되고 있다. 그러나 디자인 룰(Design Rule)이 감소됨에 따라 캐패시터가 차지하는 면적도 감소되기 때문에 요홈 구조의 캐패시터는 적층 구조보다 높은 단차를 갖게 된다. 그러므로 공정 마진의 감소로 인해 제조가 더욱 어려워진다.

<17> 이러한 오정렬로 인한 문제를 해결하기 위하여 최근 시드층(Seed Layer)을 이용한 전기도금법이 고려되고 있다. 일반적으로 전기도금법은 시드층이 필요한데, 전기적 접촉을 통하여 전기도금한 후 하부전극을 분리시켜야 하기 때문에 전면 식각이 필요하게 된다. 그러나 전면 식각시 시드층은 오정렬을 방지하는 데 도움이 되지 않으며, 전기도금층이 필연적으로 손실된다. 따라서 전기도금법을 이용하면 금속전극을 식각하지 않고 적층 구조를 형성할 수 있지만 오정렬로 인한 불량 발생은 방지되지 않는다.

【발명이 이루고자 하는 기술적 과제】

<18> 따라서 본 발명은 콘택홀내에 형성된 플러그를 소정 두께 식각하고 플러그상에 금속 실리사이드층, 베리어 금속층 및 시드 금속이 적층되도록 한 다음 상기 시드 금속상에 하부 전극이 연결되도록 하므로써 상기한 단점을 해소할 수 있는 고유전체 캐패시터의 제조 방법을 제공하는 데 그 목적이 있다.

【발명의 구성 및 작용】

<19> 본 발명에 따른 고유전체 캐패시터의 제조 방법은 도전층이 형성된 반도체 기판상에 절연막 및 반사 방지막을 순차적으로 형성하는 단계와, 반사 방지막 및 절연막을 패터닝하여 도전층의 소정 부분이 노출되도록 제 1 콘택홀을 형성한 후 제 1 콘택홀내에 플러그를 형성하는 단계와, 플러그를 소정 두께 제거한 후 잔류된 플러그의 표면부에 금속 실리사이드층을 형성하고 금속 실리사이드층상에 베리어 금속층을 형성하는 단계와, 제 1 콘택홀내의 베리어 금속층을 소정 두께 식각한 후 잔류된 베리어 금속층상에 시드 금속층을 형성하는 단계와, 전체 상부면에 더미 산화막을 형성한 후 제 1 콘택홀내의 시드 금속층이 노출되도록 더미 산화막을 패터닝하여 제 2 콘택홀을 형성하고 제 2 콘택홀내에 하부전극을 형성하는 단계와, 더미 산화막을 제거한 후 전체 상부면에 유전체막 및 상부전극을 순차적으로 형성하는 단계를 포함하여 이루어진다.

<20> 그러면 이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명하기로 한다.

<21> 도 1 내지 도 9는 본 발명에 따른 고유전체 캐패시터의 제조 방법을 설명하기 위한 소자의 단면도이다.

<22> 도 1은 도전층(2)이 형성된 반도체 기판(1)상에 절연막(3)을 형성한 후 상기 절연막(3)상에 300 내지 1000Å 두께의 반사 방지막(4)을 형성한 상태의 단면도로서, 상기 도전층은 도프트(Doped) 폴리실리콘을 증착하는 단계와, 활성화를 위해 열처리하는 단계에 의해 형성되고, 상기 절연막(3)은 산화막으로 형성되며, 상기 반사 방지막(4)은 산화막과의 식각 선택비가 높은 질화막(SiON)으로 형성된다.

<23> 도 2는 상기 반사 방지막(4) 및 절연막(3)을 패터닝하여 상기 도전층(2)의 소정 부

분이 노출되도록 제 1 콘택홀을 형성한 후 상기 제 1 콘택홀내에 플러그(5)를 형성한 상태의 단면도로서, 상기 플러그(5)는 화학기상증착(CVD) 방식으로 도프트 폴리실리콘을 500 내지 3000Å의 두께로 증착한 후 전면식각하므로써 형성된다.

<24> 도 3은 전면식각 공정으로 상기 플러그(5)를 소정 두께, 예를들어, 500 내지 1500 Å 제거한 후 전체 상부면에 티타늄(Ti)과 같은 금속을 100 내지 300Å의 두께로 증착하고 열처리하여 상기 제 1 콘택홀내에 잔류된 플러그(5)의 표면부에 금속 실리사이드층(6)이 형성되도록 한 후 미반응된 금속을 습식 식각으로 제거하고 전체 상부면에 베리어 금속층(7)을 형성한 다음 표면을 평탄화시켜 상기 제 1 콘택홀내의 상기 금속 실리사이드층(6)상에만 베리어 금속층(7)이 잔류되도록 한 상태의 단면도로서, 상기 열처리는 급속 열처리(RTP) 방식으로 실시되며, 상기 평탄화는 화학적 기계적 연마(CMP) 방법으로 실시된다. 또한, 상기 베리어 금속층(7)은 TiN 또는 3성분계의 화산 방지막인 TiSiN, TiAlN, TaSiN, TaAlN을 물리기상증착(PVD) 또는 화학기상증착(CVD) 방식으로 증착하여 형성할 수 있다.

<25> 도 4는 상기 반사 방지막(4)과의 식각 선택비가 높은 식각 가스, 예를들어, CF₄를 이용하여 상기 제 1 콘택홀내의 상기 베리어 금속층(7)을 소정 두께 건식 식각한 상태의 단면도이다.

<26> 도 5는 화학기상증착(CVD) 방식으로 상기 제 1 콘택홀이 매립되도록 전체 상부면에 시드 금속(8)을 증착한 상태의 단면도로서, 상기 시드 금속(8)으로는 루테튬(Ru), 백금(Pt), 이리듐(Ir), 트론튬 산화물(SrO), 텅스텐(W), 몰리브듐(Mo), 코발트(Co), 니켈(Ni), 금(Au), 은(Ag)과 같은 귀금속(Noble Metal)류가 사용되며, 상기 시드 금속(8)은 후속 전기도금시 시드 역할을 하게 된다.

- <27> 도 6은 상기 시드 금속(8)을 평탄화시키므로써 상기 제 1 콘택홀내의 베리어 금속층(7)상에만 시드 금속(8)이 잔류된 상태의 단면도로서, 상기 평탄화는 화학적 기계적 연마(CMP) 또는 에치백(Etch Back) 공정으로 실시된다.
- <28> 도 7은 전체 상부면에 더미 산화막(9)을 5000 내지 10000Å의 두께로 형성한 후 상기 제 1 콘택홀내의 시드 금속(8)이 노출되도록 상기 더미 산화막(9)을 패터닝하여 제 2 콘택홀을 형성하고 전기도금법으로 상기 제 2 콘택홀내에만 선택적으로 소정 두께, 예를 들어, 3000 내지 10000Å 두께의 금속을 증착하여 하부전극(10)이 형성되도록 한 상태의 단면도로서, 이때, 전기도금을 하기 위하여 상기 반도체 기판(1) 가장자리부의 상기 도전층(2)에 전류밀도(Current Density)가 0.1 내지 10mA/cm² 정도인 전원을 공급하며, 상기 금속으로는 백금(Pt)을 사용한다.
- <29> 도 8은 HF 또는 BOE 용액을 이용한 습식 식각 공정으로 상기 더미 산화막(9)을 제거한 상태의 단면도이고, 도 9는 전체 상부면에 유전체막(11) 및 상부전극(12)을 순차적으로 형성한 상태의 단면도로서, 상기 유전체막(11)은 BST 등과 같은 고유전체를 400 내지 600℃의 온도에서 화학기상증착(CVD) 방식으로 150 내지 500Å의 두께로 증착하는 단계와, 유전특성이 확보되도록 500 내지 700℃의 온도 및 질소(N) 분위기에서 30 내지 180초동안 급속 열처리(RTP)하는 단계에 의해 형성되며, 상기 상부전극(12)은 백금(Pt), 루테튬(Ru) 또는 트론튬 산화물(SrO)을 화학기상증착(CVD) 방식으로 증착하므로써 형성된다.

【발명의 효과】

<30> 상기와 같이 본 발명은 콘택홀내에 형성된 플러그를 소정 두께 식각하고 플러그상에 금속 실리사이드층, 베리어 금속층 및 시드 금속이 적층되도록 한 다음 상기 시드 금속상에 하부 전극이 연결되도록 하므로써 하부전극을 형성하는 과정에서 오정렬이 발생되더라도 베리어 금속층의 노출이 완전히 방지된다. 따라서 유전체막의 고유전율이 유지되어 충분한 정전용량의 확보가 이루어지며, 이에 따라 소자의 신뢰성 및 수율이 향상된다.

<31> 또한, 본 발명을 01 μ m의 디자인 룰을 갖는 소자의 제조에 적용하면 적층 구조의 백금 전극을 형성할 수 있으므로 전기적 특성이 우수한 고유전체 캐패시터의 제조가 가능해진다.

【특허청구범위】**【청구항 1】**

도전층이 형성된 반도체 기판상에 절연막 및 반사 방지막을 순차적으로 형성하는 단계와,

상기 반사 방지막 및 절연막을 패터닝하여 상기 도전층의 소정 부분이 노출되도록 제 1 콘택홀을 형성한 후 상기 제 1 콘택홀내에 플러그를 형성하는 단계와,

상기 플러그를 소정 두께 제거한 후 잔류된 플러그의 표면부에 금속 실리사이드층을 형성하고 상기 금속 실리사이드층상에 베리어 금속층을 형성하는 단계와,

상기 제 1 콘택홀내의 상기 베리어 금속층을 소정 두께 식각한 후 잔류된 상기 베리어 금속층상에 시드 금속층을 형성하는 단계와,

전체 상부면에 더미 산화막을 형성한 후 상기 제 1 콘택홀내의 시드 금속층이 노출되도록 상기 더미 산화막을 패터닝하여 제 2 콘택홀을 형성하고 상기 제 2 콘택홀내에 하부전극을 형성하는 단계와,

상기 더미 산화막을 제거한 후 전체 상부면에 유전체막 및 상부전극을 순차적으로 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 고유전체 캐패시터의 제조 방법.

【청구항 2】

제 1 항에 있어서,

상기 도전층은 도프트 폴리실리콘으로 이루어진 것을 특징으로 하는 고유전체 캐패시터의 제조 방법.

【청구항 3】

제 1 항에 있어서,

상기 절연막은 산화막으로 이루어지며, 상기 반사 방지막은 질화막으로 이루어진 것을 특징으로 하는 고유전체 캐패시터의 제조 방법.

【청구항 4】

제 1 항에 있어서,

상기 플러그는 도프트 폴리실리콘으로 이루어진 것을 특징으로 하는 고유전체 캐패시터의 제조 방법.

【청구항 5】

제 1 항에 있어서,

상기 금속 실리사이드층은 금속을 증착한 후 열처리하는 단계와, 미반응된 금속을 습식 식각으로 제거하는 단계에 의해 형성되는 것을 특징으로 하는 고유전체 캐패시터의 제조 방법.

【청구항 6】

제 5 항에 있어서,

상기 금속은 티타늄(Ti)인 것을 특징으로 하는 고유전체 캐패시터의 제조 방법.

【청구항 7】

제 1 항에 있어서,

상기 베리어 금속층은 TiN, TiSiN, TiAlN, TaSiN 및 TaAlN중 어느 하나의 물질로 이루어진 것을 특징으로 하는 고유전체 캐패시터의 제조 방법.

【청구항 8】

제 1 항에 있어서,

상기 시드 금속층은 루테튬(Ru), 백금(Pt), 이리듐(Ir), 트론튬 산화물(SrO), 텅스텐(W), 몰리브덴(Mo), 코발트(Co), 니켈(Ni), 금(Au) 및 은(Ag)중 어느 하나의 물질로 이루어진 것을 특징으로 하는 고유전체 캐패시터의 제조 방법.

【청구항 9】

제 1 항에 있어서,

상기 더미 산화막은 5000 내지 10000Å의 두께로 형성되는 것을 특징으로 하는 고유전체 캐패시터의 제조 방법.

【청구항 10】

제 1 항에 있어서,

상기 하부전극은 백금(Pt)으로 이루어지며, 전기도금법으로 형성되는 것을 특징으로 하는 고유전체 캐패시터의 제조 방법.

【청구항 11】

제 1 항에 있어서,

상기 더미 산화막은 HF 및 BOE 용액중 어느 하나의 용액으로 제거되는 것을 특징으로 하는 고유전체 캐패시터의 제조 방법.

【청구항 12】

제 1 항에 있어서,

상기 유전체막은 400 내지 600℃의 온도에서 화학기상증착 방식으로 BST를 150 내지 500Å의 두께로 증착하는 단계와, 유전특성이 확보되도록 500 내지 700℃의 온도 및 질소(N) 분위기에서 30 내지 180초동안 급속 열처리하는 단계에 의해 형성되는 것을 특징으로 하는 고유전체 캐패시터의 제조 방법.

【청구항 13】

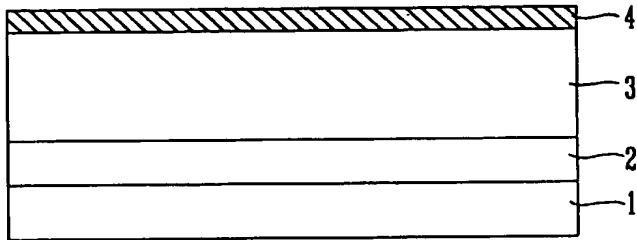
제 1 항에 있어서,

상기 상부전극은 화학기상증착 방식으로 증착된 백금(Pt), 루테튬(Ru) 및 트론튬

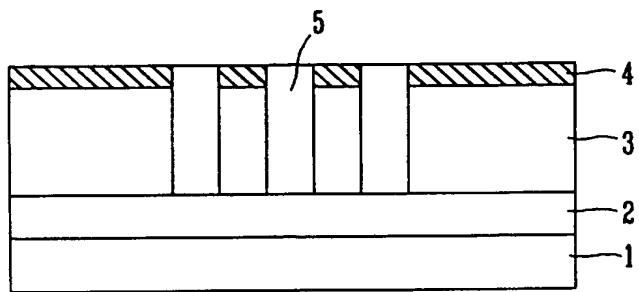
산화물(SrO)중 어느 하나의 물질로 이루어진 것을 특징으로 하는 고유전체 캐패시터의
제조 방법.

【도면】

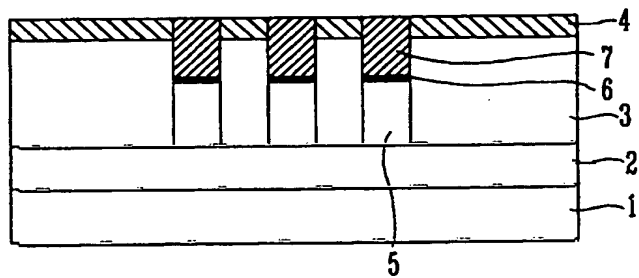
【도 1】



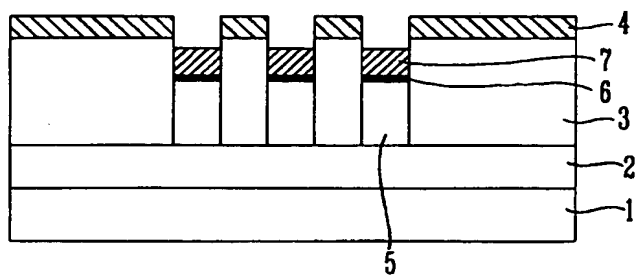
【도 2】



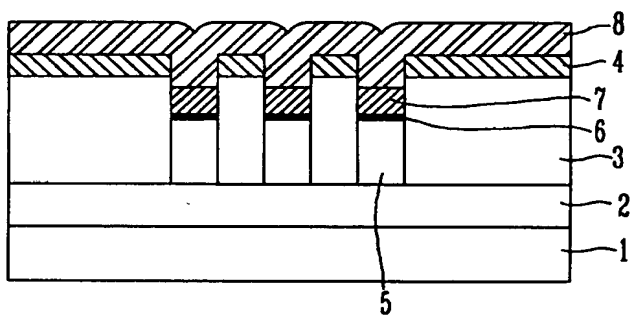
【도 3】



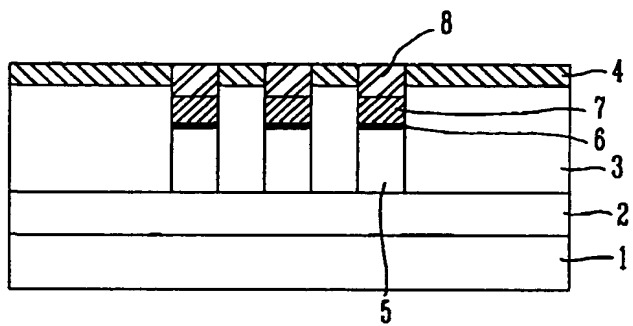
【도 4】



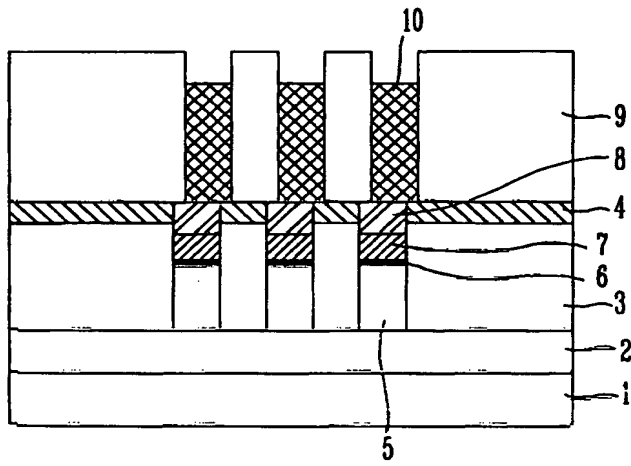
【도 5】



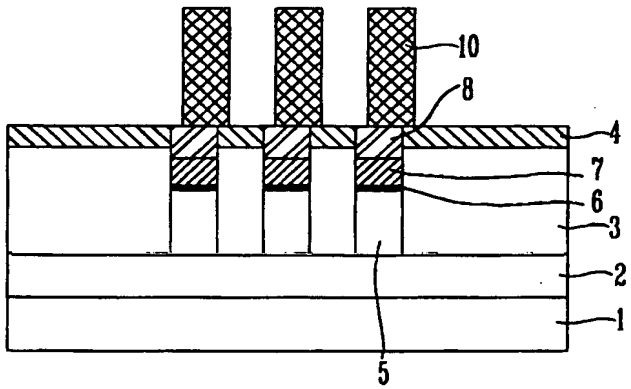
【도 6】



【도 7】



【도 8】



【도 9】

